



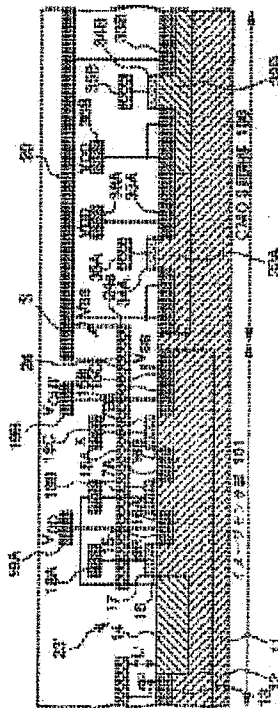


SOLID-STATE IMAGING PICKUP DEVICE**Patent number:** JP2001015725 (A)**Publication date:** 2001-01-19**Inventor(s):** NAKASHIBA YASUTAKA**Applicant(s):** NIPPON ELECTRIC CO**Classification:****- international:** H04N5/335; H01L23/60; H01L27/14; H01L27/146;
H01L27/148; H04N5/335; H01L23/58; H01L27/14;
H01L27/146; H01L27/148; (IPC1-7): H01L27/14; H04N5/335**- european:** H01L27/146A8S; H01L27/146A8C; H01L27/146A18**Application number:** JP19990186709 19990630**Priority number(s):** JP19990186709 19990630**Also published as:** JP3434740 (B2)
 US7030918 (B1)
 TW483142 (B)
 KR20010015089 (A)**Abstract of JP 2001015725 (A)**

PROBLEM TO BE SOLVED: To lessen false signals, improve S/N ratios of video signals, enable SOC, and reduce process-like loads, and reduce the manufacturing cost. **SOLUTION:** A solid-state image pickup device, having a photoelectric conversion part 101 with photoelectric conversion regions 14 and a logic circuit part 106 formed on a semiconductor substrate 11, so as to output a potential change due to charges generated in the conversion regions 14 comprises a shade layer 20 covering the logic circuit part 106 and a shade film 24 defining light incident regions with respect to the conversion regions 14 and the shade film 24 locates at a mid position between the shade layer 20 and the conversion region 14 in a light incidence direction.



Data supplied from the esp@cenet database — Worldwide

(11)特許出願公開番号

特開2001-15725

(P2001-15725A)

(43)公開日 平成13年1月19日(2001.1.19)

(51) Int.Cl.⁷

識別記号

FI

デーポート^{*}(参考)

H01L 27/14

H0 1 L 27/14

D 4M1 i.8

H04N 5/335

H0 4N 5/335

V 5 C 0 2 4

審査請求 有 請求項の数16 O L (全 19 頁)

(21)出願番号 特願平11-186709

(22) 出願日 平成11年6月30日(1999.6.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 發明者 中柴 康隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 FA06

FA26 FA33 FA42 GB03 GB07

GB11 GB13 GB17 GB19 GC01

GC08

50024 AA01 CA05 CA31 FA01 GA01

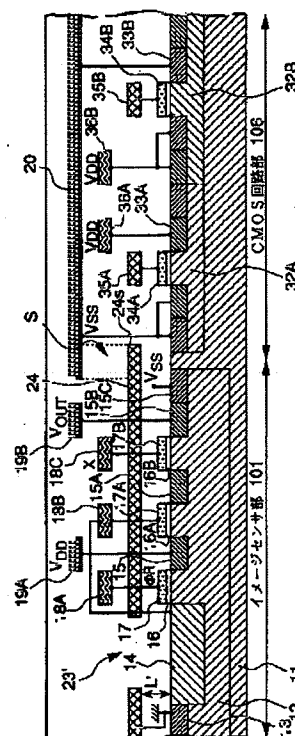
GA11 GA31 GA51 JA04

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 偽信号の低減と、映像信号のS/N比向上を図り、SOCを可能とし、プロセス的な負荷の低減と製造コストの削減を図る。

【解決手段】 半導体基板１１上に光電変換領域１４を有する光電変換部１０１と、論理回路部１０６とが形成され、光電変換領域１４で発生した電荷による電位変化を出力する固体撮像装置であって、論理回路部１０６を覆う遮光層２０と、前記光電変換領域１４に対する光線入射領域を規定する遮光膜２４とが設けられ、この遮光膜２４が、光線入射方向における前記遮光層２０と前記光電変換領域１４との中間に位置する。



【特許請求の範囲】

【請求項1】 半導体基板上に光電変換領域を有する光電変換部と、論理回路部とが形成され、前記光電変換領域で発生した電荷による電位変化を出力する固体撮像装置であって、

論理回路部を覆う遮光層と、

前記光電変換領域に対する光線入射領域を規定する遮光膜とが設けられ、

この遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられることを特徴とする固体撮像装置。

【請求項2】 前記遮光膜が、光線入射方向における前記遮光層と前記光電変換領域との中間に位置することを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記遮光膜が、前記光電変換部を覆うとともに、前記光電変換部と前記論理回路部との境界部分で遮光状態を連続するよう設けられることを特徴とする請求項1または2記載の固体撮像装置。

【請求項4】 前記遮光膜と前記遮光層とが、前記境界部分で遮光状態を連続するよう接続されることを特徴とする請求項3記載の固体撮像装置。

【請求項5】 前記遮光膜と前記遮光層とが、前記境界部分で遮光状態を連続するよう平面視して重ね合わせられる重ね合わせ部を有することを特徴とする請求項3記載の固体撮像装置。

【請求項6】 前記遮光膜が、複数の層を組み合わせる前記光電変換部を覆うことを特徴とする請求項1から5のいずれか記載の固体撮像装置。

【請求項7】 前記遮光膜が、複数の層を組み合わせる前記光電変換領域に対する光線入射領域を規定することを特徴とする請求項1から6のいずれか記載の固体撮像装置。

【請求項8】 前記複数の遮光膜が、これらの境界部分において遮光状態を連続するよう設けられることを特徴とする請求項6または7のいずれか記載の固体撮像装置。

【請求項9】 前記複数の遮光膜が、これらの境界部分において遮光状態を連続するように各遮光膜が、平面視して重ね合わせられる重ね合わせ部を有することを特徴とする請求項8記載の固体撮像装置。

【請求項10】 前記複数の遮光膜が、前記遮光層との境界部分を有する部分と、これより前記半導体基板に近づいた位置に設けられ前記光電変換領域に対する光線入射領域を規定する部分と、を有することを特徴とする請求項6から9のいずれか記載の固体撮像装置。

【請求項11】 前記遮光層が、光透過性が低いか光吸収性が高く十分な遮光性を有するものからなることを特徴とする請求項1から10のいずれか記載の固体撮像装置。

【請求項12】 前記遮光層が、複数層からなることを

特徴とする請求項11記載の固体撮像装置。

【請求項13】 固体撮像装置がCMOSセンサであることを特徴とする請求項1から12のいずれか記載の固体撮像装置。

【請求項14】 固体撮像装置がCCDセンサであることを特徴とする請求項1から12のいずれか記載の固体撮像装置。

【請求項15】 前記遮光膜が論理回路部における製造工程と同一の工程により製造されることを特徴とする請求項1から14のいずれか記載の固体撮像装置。

【請求項16】 SOCとされることを特徴とする請求項1から15のいずれか記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係り、特にCMOS製造プロセスと互換性のある固体撮像装置（いわゆる、CMOSセンサ）のうちのアクティブ型XYアドレス方式固体撮像装置、またはCCDセンサに用いて好適な技術に関するものである。

【0002】

【従来の技術】光電変換された信号電荷を転送する転送層方式の従来の固体撮像装置はMOS型とCCD型に大別されていた。このような固体撮像装置、特に、CCD型の固体撮像装置は、近年、カメラ一体型VTR、デジタルカメラ、ファクシミリ等に使用されており、現在もなお特性向上のための技術開発が図られている。CCDセンサは、画素対応の光電変換素子を2次元配列させた光電変換部を有し、この光電変換部によって電荷となった信号を垂直転送CCDと水平転送CCDで各画素の死号を順次読み出していくタイプである。CMOSセンサは、垂直および水平転送にCCDを使用せず、メモリデバイスのようにアルミ線などで構成される選択線によって選択された画素を読み出すものである。

【0003】ここで、CCDセンサは、正負の複数の電源電位を必要とするのに比べ、CMOSセンサは、単一電源で駆動が可能であり、CCDセンサに比べて低消費電力・低電圧化が可能である。さらに、CCDセンサは固有の製造プロセスを用いているために、CMOS回路製造プロセスをそのまま適用することが難しいのに対して、CMOSセンサは、CMOS回路製造プロセスを用いているために、プロセッサ、DRAM等の半導体メモリ、論理回路等で多用されているCMOSプロセスにより、論理回路やアナログ回路、アナログデジタル変換回路などを同時に形成してしまいうことができる。つまり、CMOSセンサは、半導体メモリやプロセッサと同一の半導体チップ上に形成したり、半導体メモリやプロセッサと生産ラインを共有することが可能である。このようなCMOSセンサの一例を図12に示す。

【0004】図12において、符号100は撮像素子（CMOSセンサ）である。このCMOSセンサ100

には、タイミング発生部102、イメージセンサ部101、画素の出力を選択する垂直走査部103および水平走査部104、アナログ信号処理部105、アナログ／デジタル変換をおこなうA/D部（A/D変換部）109、デジタル化された信号を出力信号に変換するデジタル信号処理部107、デジタル画像データを外部に出力し、また、外部からのコマンドデータを受け取るインタフェイス部（IF部）108が設けられている。

【0005】イメージセンサ部101は、後述するようにCMOSセンサの基本セルの集合体とされており、垂直走査部103は、イメージセンサ部101の基本セルを垂直走査制御するためのものであり、水平走査部104は、イメージセンサ部101の基本セルを水平走査制御するためのものであり、これらは、タイミング発生部101の出力するタイミング信号によってそれぞれの走査制御をおこなうものとされる。アナログ信号処理部105は、このイメージセンサ部101から読み出された画像信号に対して所要の信号処理をしてA/D変換部109に出力し、A/D変換部109は、この画像信号をデジタル信号に変換してデジタル信号処理部107に出力し、デジタル信号処理部107は、この画像信号をインタフェイス部108に出力する。

【0006】インタフェイス部108は、デジタル信号処理部107を介して出力されるデジタル画像データを外部に出力するとともに、外部からのコマンドを入力することができ、これによりコマンド対応に撮像素子100のモードや出力信号形態、信号出力タイミングなどをコントロールできるように、受けたコマンド対応の制御をおこなうように各構成要素の制御をおこなうものである。ここで、垂直走査部103、水平走査部104、A/D変換部109、デジタル信号処理部107、インタフェイス部108等は、論理回路部106を構成している。また、デジタル信号処理部107は、メモリ部を伴い、このメモリ部を、信号処理に必要な1あるいは複数のライン、1あるいは複数のブロック、1あるいは複数のフレーム分の画像データを記憶し、これをデジタル信号回路107の信号処理に利用する構成とすることもできる。

【0007】次に、CMOSセンサ100のイメージセンサ部101における従来の基本セルおよび論理回路部106の一部を図13に示す。図13において、符号10は基本セルであるCMOSセンサ、11はP型シリコン基板、12はP型ウェル、13は素子分離のためのフィールド酸化膜、14はフォトダイオードとなるN型領域（光電変換領域）、15はリセットドレインとなる（拡散層）N⁺型領域、16、16A、16BはゲートSiO₂膜である。また、符号17はリセットゲートとなるポリシリコン、17AはソースフォロワアンプのMOSFETのゲート膜、17Bは水平選択スイッチとしてのMOSFETのゲート膜、15Aはソースフォロワ

アンプのMOSFETのソースまたはドレインとなるN⁺型領域、15BはソースフォロワアンプのMOSFETのソースまたはドレインかつ水平選択スイッチとしてのMOSFETのソースまたはドレインとなるN⁺型領域、15Cは、負荷MOSFETのソースまたはドレインとなるP型領域であり、18A、18B、18C、19A、19Bは配線層、21は遮光膜となる金属膜であり光が入射する開口部23を規定する。

【0008】このCMOSセンサ10においては、光電変換領域14がソースフォロワアンプを構成するMOSFETのゲート17Aに対して配線層18B等によって接続され、このMOSFETのソースまたはドレインとなるN⁺型領域15Aが水平選択スイッチとしてのMOSFET23のソースまたはドレインと連続とされてこれらが接続されており、このMOSFETのソースまたはドレインとなるN⁺型領域15Bがソースフォロワアンプを形成する負荷MOSFETのソースまたはドレインと連続とされてこれらが接続されている。これらMOSFETの双方のソースまたはドレインとなるN⁺型領域15Bには、配線層19Bを介して暗出力転送MOSFETおよび明出力転送MOSFETのそれぞれのソースまたはドレインが接続されて、これら暗出力転送MOSFETおよび明出力転送MOSFETのソースまたはドレインにはそれぞれ暗出力蓄積容量および明出力蓄積容量が接続されている。

【0009】光電変換領域14と遮光膜21との間には、図13、図15に示すように、層間絶縁膜22や複数の配線層16、16A、16B、17、17A、17B、18A、18B、18C、19A、19B、19Cが設けられている。

【0010】論理回路部106は、図13に示すように、例えばイメージセンサ部101に隣接し、この部分には、P型シリコン基板11に、P型ウェル32A、N型ウェル32Bが設けられ、このP型ウェル32A、N型ウェル32Bに、それぞれ拡散層となるN⁺型領域33A、P⁺型領域33Bが設けられ、この上部に、多結晶シリコンからなるゲート34A、34Bが設けられ、これらの上側に、配線層となる金属膜35A、35B、36A、36Bが設けられ、最上部に、これらを覆う遮光層20が設けられている。

【0011】このような構成のCMOSセンサ10は次のように動作する。すなわち、まず、図14（b）に示すように、リセットゲート17にハイパルスφ_Rを印加することにより、光電変換領域14の電位を電源電圧V_{DD}にセットして、この光電変換領域14の信号電荷をリセットする。次に、図14（c）に示すように、ブルーミング防止のためリセットゲート17にローパルスφ_Rを印加する。

【0012】信号電荷蓄積中、遮光膜21の開口部23に入射位置を規定されて入射した光により光電変換領域

14下側の領域において電子・正孔対が発生すると、光電変換領域14下の空乏層中に電子が蓄積されていき、正孔はP型ウェル12を通して排出される。ここで、図14(c)において、電源電圧VDDより深い電位の格子状のハッチングで示す領域は、この領域が空乏化していないことを示している。この光電変換領域14下側のP型ウェル12に形成される空乏層と、浮遊拡散層となるN⁺型領域15との間には、制御用MOSFET21による電位障壁Bが形成されているため、光電荷蓄積中においては、図14(c)に示すように、電子は光電変換領域14下に存在している。

【0013】続いて、蓄積された電子数に応じて光電変換領域14の電位が変動し、この電位変化をソースフォロワ動作でソースフォロワアンプMOSFETのソース(N⁺型領域)15を介して水平選択スイッチMOSFETのドレイン(N⁺型領域)15Bへ出力し、ソースフォロワアンプの出力端子とされる配線層19Bから出力することにより、線型性の良い光電変換特性を得ることができる。

【0014】ここで、浮遊拡散層となるN⁺型領域15において、リセットによるkTCノイズが発生するが、これは信号電子転送前の暗時出力をサンプリングして蓄積しておき、明時出力との差を取ることで除去することができる。

【0015】

【発明が解決しようとする課題】近年、CPU、メモリ、標準/専用マクロ、アナログ回路、イメージセンサ部などの各種ハードウェア(H/Wインテグレーション)と画像圧縮伸長、音声処理、通信機能などの各種ソフトウェア(S/Wインテグレーション)をひとつのチップ上に融合し、LSI単体が所望とされるシステム/要素機能動作を含んだ半導体である「システムオンチップ(SOC; System on Chip)」として素子を設計することがおこなわれている。このSOCとして固体撮像装置を製造するために、過去に蓄積された技術を利用して論理回路部106を製造するとともに、異なるプロセスをひとつのチップ上にインテグレーションする混載技術を固体撮像装置に適用することが要求されている。

【0016】ここで、SOCとされたCMOSセンサにおいて、プロセッサ、DRAM等の半導体メモリ、論理回路等で多用されている標準パラメータによるCMOSプロセスを利用して、論理回路部106と同時にイメージセンサ部101を形成してSOCとし、これらを1本のプロセスフローにより1チップ上に形成することにより、半導体メモリやプロセッサ等と生産ラインを共有することを可能にしたいという要求があった。

【0017】このような要求に従って、論理回路部106においては、それぞれの素子の最上位置に遮光層20が設けられている。つまり、既存の構造とされる配線層35A、35B、36A、36B等の配置を変更するこ

となく遮光をおこなうために、これらの配線層35A、35B、36A、36B等の上側に遮光層20となる金属層を形成している。

【0018】上述したCMOSセンサ10の構造では、この遮光層20と遮光膜21とが一体とされて最上位置に設けられているが、この開口部23を規定する遮光膜21とシリコン基板11上の光電変換領域14との間に、層間絶縁膜22や複数の配線層16、16A、16B、17、17A、17B、18A、18B、18C、19A、19B、19Cが存在するため、遮光膜21と光電変換領域14との間隔 L_0 が数 μm と可視光の波長(およそ350~770nm)に比べて非常に大きくなり、開口部23から入射した光の回折効果により回折された入射光25が、図15に示すように光電変換領域14の周辺部に入射する。

【0019】したがって、このようなCMOSセンサの構造では、光の回折効果により光電変換領域14の周辺部に入射した光による光電変換で発生した偽信号が発生し、隣接した光電変換領域に漏れ込み、映像信号のS/N比が劣化するという問題があった。

【0020】さらに、この偽信号対策として、回折した入射光25を光電変換領域14の周辺部に入射させないよう開口部23の寸法(例えば幅 W_0)を光電変換領域14の寸法(例えば幅 W_{14})に対して小さく設定する等の技術が提案されていたが、このような場合には、光電変換領域14に入射する光量が低下し、感度が低下してしまうという問題があった。

【0021】さらに、上記のように偽信号対策、および電変換領域14への入射光量低下、感度低下を解決するために、例えば、遮光膜21を配線層18A、18B、18C、19A、19B、19Cの下側位置に設けるといった手段を採用した場合には、論理回路部106においても、遮光層20が遮光膜21と一体とされているため、遮光層20を配線層となる金属層35A、35B、36A、36B等の下側に位置することが必要で、論理回路部106の設計を全て新たにおこなう必要が生じてしまうという問題があった。また、この場合、その製造過程においては、既定の製造、設計パラメータを変更する必要が生じる可能性があるため、SOC化が難しくなるという問題があった。

【0022】このため、論理回路やアナログ回路、A/D変換回路などを同時に形成してしまうことができ、半導体メモリやプロセッサと同一の半導体チップ上にイメージセンサ部101を形成したり、半導体メモリやプロセッサと生産ラインを共有することが可能である、という、CMOSセンサの特性を生かすことができなくなってしまう、CCDセンサと同様に固有のプロセスを用いることになり、製造コスト削減というCMOSセンサの特性を生かせない可能性があった。

【0023】本発明は、上記の事情に鑑みてなされたも

ので、以下の目的を達成しようとするものである。

- ① 偽信号の低減を図ること。
- ② 映像信号のS/N比向上を図ること。
- ③ より高感度の固体撮像装置を提供すること。
- ④ SOC化を可能とすること。
- ⑤ 製造コストの削減を図ること。

【0024】

【課題を解決するための手段】本発明の固体撮像装置は、半導体基板上に光電変換領域を有する光電変換部と、論理回路部（CMOS回路部）とが同一プロセスにより形成され、光電変換領域で発生した電荷による電位変化を出力する固体撮像装置であって、論理回路部（CMOS回路部）を覆う遮光層と、前記光電変換領域に対する光線入射領域を規定する遮光膜とが設けられ、この遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられることにより上記課題を解決した。ここで、この遮光膜の少なくとも一部が、光線入射方向における前記遮光層と前記光電変換領域との中間に位置することが好ましい。

【0025】本発明の固体撮像装置は、前記遮光膜が前記光電変換部を覆うとともに、前記光電変換部と前記論理回路部との境界部分で、この遮光膜と前記遮光層とが平面視して重ね合わせられる重ね合わせ部を有するか、連続して接続されて、遮光状態を連続するよう設けられることができる。本発明の前記遮光膜が、光入射方向における光電変換領域からの距離が異なるか同一とされる複数の層を組み合わせる前記光電変換部を覆うとともに前記光電変換領域に対する光線入射領域を規定することができ、これらの境界部分で、可能ならば連続して接続されるか、平面視して重ね合わせられる重ね合わせ部を有して、遮光状態を連続するよう設けられることができる。本発明の前記複数の遮光膜が、それぞれ光入射方向における光電変換領域からの距離が異なるか同一とされる複数の層を組み合わせるることができる。本発明の前記複数の遮光膜が、前記遮光層との境界部分を有する部分と、これ前記半導体基板に近づいた位置に設けられ前記光電変換領域に対する光線入射領域を規定する部分と、を有する手段が可能である。

【0026】本発明において、前記前記遮光層が、光透過性が低いか光吸収性が高く十分な遮光性を有する単数層または複数層からなることが好ましく、ゼラチン、カゼイン等の有機材料とすることができ、光透過性を有する材料に顔料等を混入して光透過性を低下あるいは透過する光の波長を限定したものとすることができる。この際、光電変換領域部分においては透過性を有し、かつ、カラー画素の赤緑青（RGB）の三原色に対応してカラーフィルタとなし、それ以外の部分では、偽信号の発生を防止可能な程度に透過性の低い遮光膜とすることができる。ここで、本発明において、光透過性が低いか光吸収性が高く十分な遮光性を有するとは、光透過性を低下

あるいは透過する光の波長を限定することも含むものとする。

【0027】本発明において、固体撮像装置がCMOSセンサまたはCCDセンサであることができる。本発明において前記遮光膜が論理回路部における配線層等の製造工程と同一の工程により製造される。本発明が、CPU、メモリ、標準/専用マクロ、アナログ回路、イメージセンサ部などの各種ハードウェア（H/Wインテグレーション）と画像圧縮伸長、音声処理、通信機能などの各種ソフトウェア（S/Wインテグレーション）をひとつのチップ上に融合し、LSI単体が所望とされるシステム/要素機能動作を含んだ半導体であるSOC（システムオンチップ；System on Chip）とされることが好ましい。

【0028】本発明の固体撮像装置においては、遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられ、光線入射方向における前記遮光層と前記光電変換領域との中間に位置することにより遮光膜から光電変換領域までの距離を短縮することができ、入射光の回折等による回り込みを低減することができるため、光電変換領域の周辺部に入射する可能性を低減してその結果生じる偽信号を低減することが可能となるとともに、この偽信号が隣接する他の光電変換領域あるいは出力回路の拡散層等にトラップされ、映像信号のS/N比が劣化することを防止することが可能となる。

【0029】あるいは、本発明の固体撮像装置において、遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられ、光線入射方向における前記遮光層と前記光電変換領域との中間に位置して、遮光膜から光電変換領域までの距離を短縮することにより、入射光の回折等による回り込みを低減することができるため、同一の光電変換領域に対する入射領域を増大することが可能となり、その結果、入射光量を増大することが可能となり、光電変換の感度を向上することができ、固体撮像装置の感度を向上することができる。

【0030】この際、論理回路部との位置関係を考慮して、前記遮光膜が、前記光電変換部を覆うとともに、前記光電変換部と前記論理回路部との境界部分、および、複数の各遮光膜の境界部分で、連続して接続されるか、平面視して重ね合わせられる重ね合わせ部を有して遮光状態を連続するよう設けられることにより、論理回路部（CMOS回路部）における根本的な設計変更をおこなわずに、半導体基板上に光電変換部（イメージセンサ部）と論理回路部（CMOS回路部）とを同一プロセスにより形成することが可能となる。これにより、光入射領域を規定する際における規定状態および配線層等の配置状態における可変性を向上することができ、光入射領域を規定した部分から光電変換領域までの距離を効果的に短縮することができ、同一プロセスにより製造されるべき論理回路部における配線層等の選択肢を増加するこ

とができる。

【0031】本発明が、CPU、メモリ、標準/専用マクロ、アナログ回路、イメージセンサ部などの各種ハードウェア(H/Wインテグレーション)と画像圧縮伸長、音声処理、通信機能などの各種ソフトウェア(S/Wインテグレーション)をひとつのチップ上に融合し、LSI単体が所望とされるシステム/要素機能動作を含んだ半導体であるSOC(システムオンチップ; System on Chip)として製造されることにより、プロセッサ、DRAM等の半導体メモリ、論理回路等で多用されている標準パラメータによるCMOSプロセスにより、CPU、メモリ、標準/専用マクロ、アナログ回路、イメージセンサ部などを同時に形成してしまふことができる。

【0032】本発明の固体撮像装置においては、遮光膜の遮光状態を連続するために、光電変換部における金属またはポリシリコンからなる配線層と、前記遮光膜との一部には、平面視して重ね合わせられる重ね合わせ部が設けられることができる。これにより、光電変換部の遮光状態を連続することが可能になり、遮光膜の配置の自由度が増し、素子設計の自由度向上を図ることができ、製造コストの低減を図ることができる。

【0033】また、本発明の前記複数の遮光膜が、前記遮光層との境界部分を有する部分と、これより下側に位置し前記光電変換領域に対する光線入射領域を規定する部分と、を有することにより、前記遮光層との境界部分においては、より前記遮光層に近づいた位置に遮光膜を設けることができ、また、前記光電変換領域に対する光線入射領域を規定する部分においては、より前記光電変換領域に近づいた位置に遮光膜を設けることができ、これら双方の部分において、遮光膜と前記遮光層との距離、および、遮光膜と光電変換領域との間隔を減少して、光電変換領域以外の部分に入射する可能性を低減してその結果生じる偽信号を低減することが可能となるとともに、この偽信号が隣接する他の光電変換領域あるいは出力回路等の拡散層などにトラップされ、映像信号のS/N比が劣化することを防止することが可能となる。

【0034】また、遮光層を光透過性が低い光吸収性が高く十分な遮光性を有する単層あるいは複数層から構成し、この遮光層を論理回路部の最上層側に設けかつ光電変換部側に延長することにより、光電変換部と論理回路部との境界部分における重ね合わせ部を拡大して、遮光性を向上することが可能となる。また、遮光層を、光透過性を有する材料に顔料等を混入して光透過性を低下あるいは透過する光の波長を限定したものとし、これを、光電変換領域に対応する位置に設けられるフィルタ(カラーフィルタ、ブラックフィルタ)と同一プロセスにより製造することにより、製造工程を削減し、プロセス的な負荷の低減を図り、製造コストの削減を図ることが可能である。

【0035】

【発明の実施の形態】以下、本発明に係る固体撮像装置の第1実施形態を、図面に基づいて説明する。図1は、本実施形態の固体撮像装置を示す模式側断面図、図2(a)(b)は、図1における光電変換領域および遮光膜を示す模式拡大側断面図である。

【0036】本実施形態における固体撮像装置としては、図12に示したようなアクティブ型XYアドレス方式のCMOSセンサ100とされる。このようなCMOSセンサ100には、各画素に対応する基本セルが数百個×数百個程度配列されているイメージセンサ部(光電変換部)101、タイミング発生部102、画素の出力を選択する垂直走査部103および水平走査部104、アナログ信号処理部105、アナログ/デジタル変換をおこなうA/D部(A/D変換部)109、デジタル化された信号を出力信号に変換するデジタル信号処理部107、デジタル画像データを外部に出力し、また、外部からのコマンドデータを受け取るインタフェイス部(IF部)108が設けられる。

【0037】イメージセンサ部101は、後述するようにCMOSセンサの基本セルの集合体とされており、垂直走査部103は、イメージセンサ部101の基本セルを垂直走査制御するためのものであり、水平走査部104は、イメージセンサ部101の基本セルを水平走査制御するためのものであり、これらは、タイミング発生部102の出力するタイミング信号によってそれぞれの走査制御をおこなうものとされる。

【0038】アナログ信号処理部105は、このイメージセンサ部101から読み出された画像信号に対して所要の信号処理をしてA/D変換部109に出力し、A/D変換部109は、この画像信号をデジタル信号に変換してデジタル信号処理部107に出力し、デジタル信号処理部107は、この画像信号をインタフェイス部108に出力するものとされる。

【0039】インタフェイス部108は、デジタル信号処理部107を介して出力されるデジタル画像データを外部に出力するとともに、外部からのコマンドを入力することができ、これによりコマンド対応に撮像素子100のモードや出力信号形態、信号出力タイミングなどをコントロールできるように、受けたコマンド対応の制御をおこなうように各構成要素の制御をおこなうものとされている。

【0040】ここで、垂直走査部103、水平走査部104、A/D変換部109、デジタル信号処理部107、インタフェイス部108等は、論理回路部106を構成している。また、デジタル信号処理部107は、メモリ部を伴い、このメモリ部を、信号処理に必要な1あるいは複数のライン、1あるいは複数のブロック、1あるいは複数のフレーム分の画像データを記憶し、これをデジタル信号回路107の信号処理に利用する構成とすることもでき、また、タイミング発生部102を垂直走

査部103, 水平走査部104等に組み込む構成とすることもできる。

【0041】図1ないし図2において、符号10は本実施形態における固体撮像装置の基本セルであるCMOSセンサである。このCMOSセンサ10は、図1に示すように、イメージセンサ部101に設けられるとともに、論理回路部106に隣接している。イメージセンサ部101に位置するCMOSセンサ10としては、P型シリコン基板(半導体基板)11にP型ウェル12が設けられ、このP型ウェル12に、素子分離のための素子分離領域13、フォトダイオードとなるN型領域(光電変換領域)14、リセットドレインとなる(拡散層)N⁺型領域15、後述するソースフォロワアンプのMOSFETのソースまたはドレインとなるN⁺型領域15A、ソースフォロワアンプのMOSFETのソースまたはドレインかつ水平選択スイッチとしてのMOSFETのソースまたはドレインとなるN⁺型領域15B、負荷MOSFETのソースまたはドレインとなるP型領域15Cが設けられる。

【0042】光電変換領域14とリセットドレイン領域15との間にはその上側に、ゲートSiO₂膜16を介してポリシリコンからなるリセットゲート17が設けられ、リセットドレイン領域15とN⁺型領域15Aとの間にはその上側に、ゲートSiO₂膜16Aを介してソースフォロワアンプのMOSFETのゲート17A、が設けられ、N⁺型領域15AとN⁺型領域15Bとの間にはその上側に、ゲートSiO₂膜16Bを介して水平選択スイッチとしてのMOSFETのゲート17Bが設けられる。

【0043】リセットゲート17、ゲート17A、ゲート17Bには、それぞれ配線層18A、配線層18B、配線層18Cが接続され、リセットドレイン領域15には電源電圧VDDが印加される配線層19Aが接続され、N⁺型領域15Bには、出力端子VOUTに接続される配線層19Bが接続されている。ここで、ゲートSiO₂膜16、ゲートSiO₂膜16A、ゲートSiO₂膜16Bは、光電変換領域14の光線入射側表面と等しい光電変換領域14からの光線入射方向距離、つまり、上側表面に接する位置と等しい高さに配置されている。また、リセットゲート17、ゲート17A、ゲート17Bは、光線入射方向におけるゲートSiO₂膜16、ゲートSiO₂膜16A、ゲートSiO₂膜16Bの光電変換領域14からの位置よりも上側で、かつ、それぞれ同一高さに配置されている。この、リセットゲート17、ゲート17A、ゲート17Bの上側位置には、イメージセンサ部101を覆う遮光膜24が設けられ、この遮光膜24の上側には、光線入射方向における同一位置つまり、同一高さの配線層18A、18B、18Cおよびこれらより上側に位置し同一高さの配線層19A、19Bが設けられている。

【0044】このCMOSセンサ10においては、光電変換領域14がソースフォロワアンプを構成するMOSFETのゲート17Aに対して配線層18B等によって接続され、このMOSFETのソースまたはドレインとなるN⁺型領域15Aが水平選択スイッチとしてのMOSFET23のソースまたはドレインと連続とされてこれらが接続されており、このMOSFETのソースまたはドレインとなるN⁺型領域15Bがソースフォロワアンプを形成する負荷MOSFETのソースまたはドレインと連続とされてこれらが接続されている。これらMOSFETの双方のソースまたはドレインとなるN⁺型領域15Bには、配線層19Bを介して暗出力転送MOSFETおよび明出力転送MOSFETのそれぞれのソースまたはドレインが接続されて、これら暗出力転送MOSFETおよび明出力転送MOSFETのソースまたはドレインにはそれぞれ暗出力蓄積容量および明出力蓄積容量が接続されている。

【0045】論理回路部106は、図1に示すように、例えばイメージセンサ部101のCMOSセンサ10に隣接し、この部分には、P型シリコン基板11に、P型ウェル32A、N型ウェル32Bが設けられ、このP型ウェル32A、N型ウェル32Bに、それぞれ拡散層となるN⁺型領域33A、P⁺型領域33Bが設けられ、この上部に、ゲートSiO₂膜を介してポリシリコンからなるゲート34A、34Bが設けられ、これらの上側に、配線層となる金属膜35A、35B、36A、36Bが設けられ、最上部に、これらを覆う遮光層20が設けられている。

【0046】ここで、ゲート34A、34Bは、光線入射方向におけるゲートSiO₂膜16、ゲートSiO₂膜16A、ゲートSiO₂膜16Bの光電変換領域14よりも離間した位置で、かつ、光線入射方向におけるリセットゲート17、ゲート17A、ゲート17Bと等しい光電変換領域14からの距離、つまり、ゲートSiO₂膜16、ゲートSiO₂膜16A、ゲートSiO₂膜16Bより上側で、リセットゲート17、ゲート17A、ゲート17Bと等しい高さとなされ、かつ、それぞれが、同一高さに配置されている。また、配線層35A、35Bは遮光膜24と等しい高さで、かつ、それぞれ同一高さに配置されており、これら配線層35A、35Bと遮光膜24とは、第1金属層を形成している。また、配線層36A、36Bは、配線層18A、18B、18Cと等しい高さで、かつ、それぞれ同一高さに配置されており、これら配線層36A、36Bと、配線層18A、18B、18Cとは、第2金属層を形成している。そして、遮光層20は、配線層19A、19Bと等しい高さに配置されており、これら遮光層20と配線層19A、19Bとは、第3金属層を形成している。

【0047】遮光膜24は、例えばA1からなる金属とされ、図1、図2に示すように、光電変換領域14の上

方に開口部23'を有してイメージセンサ部101を覆う状態とされ、かつ、光線入射方向における遮光層20と光電変換領域14との間に位置し、この光電変換領域14から遮光膜24までの距離が L' に設定されるように、複数の配線層18A, 18B, 18C, 19A, 19B, 19Cよりも光電変換領域14側に位置し第1金属層として設けられている。この遮光膜24は、開口部23'により、前記光電変換領域14周辺部に対して入射光を遮光して光入射領域を規定するよう前記光電変換領域14の全周を囲んでその周囲に位置するとともに、イメージセンサ部101を覆って、光電変換領域14以外のイメージセンサ部101に対する光入射を規制している。

【0048】ここで、遮光膜24から光電変換領域14までの距離が L' に設定されており、この距離 L' が図15に示した遮光膜21から光電変換領域14までの距離 L_0 に比べて小さいため、開口部23'の寸法(例えば幅 W')は、図2(a)(b)に示すように、図15に示した遮光膜21の開口部23の寸法(例えば幅 W_0)および、光電変換領域14の寸法(例えば幅 W_{14})に対して、 $W_0 \leq W' < W_{14}$

となるように設定することができる。

【0049】この遮光膜24は、図1に示すように、イメージセンサ部101と前記論理回路部106との境界部分において、平面視して重ね合わせられる重ね合わせ部Sを有するように遮光層20の下側に位置する重なり部24sを有し、この遮光層20と重なり部24sとが十分な遮光性をもつために、光線入射方向と直交する方向に所定の寸法を有する、つまり、遮光層20と重なり部24sとが平面視して充分重なり合っているために、イメージセンサ部14と前記論理回路部101との境界部分において遮光状態を連続するよう設けられる。

【0050】このような構成のCMOSセンサ10は次のように動作する。すなわち、まず、リセットゲート17にハイパルス ϕ_R を印加することにより、光電変換領域14の電位を電源電圧VDDにセットして、この光電変換領域14の信号電荷をリセットする。次に、ブルーミング防止のためリセットゲート17にローパルス ϕ_R を印加する。

【0051】信号電荷蓄積中、遮光膜24の開口部23'に入射位置を規定されて入射した光により光電変換領域14下側の領域において電子・正孔対が発生すると、光電変換領域14下の空乏層中に電子が蓄積されていき、正孔はP型ウェル12を通して排出される。この光電変換領域14下側のP型ウェル12に形成される空乏層と、浮遊拡散層となる N^+ 型領域15との間には、制御用MOSFET21による電位障壁Bが形成されているため、光電荷蓄積中においては、電子は光電変換領域14下に存在している。

【0052】続いて、蓄積された電子数に応じて光電変換領域14の電位が変動し、この電位変化をソースフォロワ動作でソースフォロワアンプMOSFETのソース(N^+ 型領域)15を介して水平選択スイッチMOSFETのドレイン(N^+ 型領域)15Bへ出力し、ソースフォロワアンプの出力端子とされる配線層19Bから出力することにより、線型性の良い光電変換特性を得ることができる。

【0053】ここで、浮遊拡散層となる N^+ 型領域15において、リセットによる kTC ノイズが発生するが、これは信号電子転送前の暗時出力をサンプリングして蓄積しておき、明時出力との差を取ることで除去することができる。

【0054】このとき、遮光膜24側から入射してきた入射光25'が、図2(a)(b)に示すように、光電変換領域14の周辺部においては、この遮光膜24の開口部23'によってその縁部が遮光されて、光電変換領域14に入射する光入射領域が規定される。ここで、図1および図2に示すように、開口部23'を規定する遮光膜24とP型シリコン基板11上の光電変換領域14との間隔 L' と、図15に示した開口部23を規定する遮光膜21と光電変換領域14との間隔 L_0 との関係は、

$$L' < L_0$$

となっており、入射光25'が開口部23'によって規定された後に、回折効果により拡散してゆく距離が短くなっている。

【0055】また、前記遮光膜24が、図2(a)に示すように、前記論理回路部106の遮光層20よりも下側に位置し、この遮光膜24の開口部23'によって前記光電変換領域14周辺部に対して入射する入射光を遮光して光入射領域を規定する。ここで、光電変換領域14に入射する光量が、これらの開口部の寸法に比例するために、遮光膜24の開口部23'の寸法(例えば幅 W')が、図15に示した遮光膜21の開口部23の寸法(例えば幅 W_0)に対して、 $W_0 = W'$

となるように設定されている。その結果、光の回折効果により光電変換領域14の周辺部に入射する光量を低減することができるとともに、この回折光による光電変換で発生する偽信号の発生を低減することができ、映像信号のS/N比を向上することができる。

【0056】この際、論理回路部106との位置関係を考慮して、前記遮光膜24が、前記イメージセンサ部101を覆うとともに、このイメージセンサ部101と論理回路部106との境界部分で、平面視して重ね合わせられる重ね合わせ部Sを有して遮光状態を連続するよう設けられることにより、論理回路部106における根本的な設計変更をおこなわずに、半導体基板11上にイメージセンサ部101と論理回路部106とを同一プロセ

スにより形成することが可能となる。これにより、光入射領域14を規定する際における規定状態および配線層等の配置状態における可変性を向上することができ、光入射領域14を規定した遮光膜24の部分から光電変換領域14までの距離を効果的に短縮することができ、同一プロセスにより製造されるべき論理回路部106における配線層等の選択肢を増加することができる。

【0057】あるいは、前記遮光膜24が、図2(b)に示すように、前記論理回路部106の遮光層20よりも下側に位置し、図15に示した遮光層21の開口部23よりも外側に位置する開口部23'を有し、この遮光膜24の開口部23'によって前記光電変換領域14周辺部に対して入射する入射光を遮光して光入射領域を規定することもできる。この場合には、光電変換領域14に入射する光量が、これらの開口部の寸法に比例するために、遮光膜24の開口部23'の寸法(例えば幅 W')が、図15に示した遮光膜21の開口部23の寸法(例えば幅 W_0)に対して、 $W_0 < W'$

となるように設定できることにより、遮光膜24の開口部23'を入射光が通過する場合には、図15に示した開口部23を通過する場合に比べて、光電変換領域14に入射する光量を増大することができ、感度の低下を防止することができる。

【0058】また、遮光膜24と遮光層20との境界部分においては、図1に示すように、遮光状態を連続するために重ね合わせ部Sが設けられている。この重ね合わせ部Sにおいては、これらの層間に進入する光が半導体基板11側に到達しないように、遮光膜24と遮光層20とを平面視して重ねる構成とされている。このため、遮光膜24と遮光層20との境界部分において、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101および論理回路部106における遮光状態を連続することができる。

【0059】ここで、ゲート17Bと配線層18Cとは、遮光膜24の上下に位置して半導体基板11からの高さ位置が異なっており、遮光膜24を貫通してそれぞれを接続する必要がある。また、これらゲート17B、配線層18Cは、遮光膜24とは絶縁されている必要がある。このため、ゲート17Bと配線層18Cとの接続部分においては、図3に示すように、遮光膜24に開口40が設けられ、この開口40付近に、配線41、42、43が設けられている。配線41は、遮光膜24と同一高さに位置しかつ同一プロセスで形成されて遮光膜24とは絶縁するよう分離状態とされている。配線42、43は、この配線41の上下方向に接続されて、かつ、それぞれゲート17Bと配線層18Cとに接続されている。これら配線41、42、43により、ゲート17Bと配線層18Cとが遮光膜24の開口40を貫通して接続されている。この際、配線層18Cと遮光膜24

とにおいては、図3に示すように、遮光状態を連続するために重ね合わせ部Sが設けられている。この重ね合わせ部Sにおいては、光が開口40に進入しないようにして、光が半導体基板11側に到達しないように、遮光膜24と配線層18Cとを平面視して重ねる構成とされている。このため、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101における遮光状態を連続することができる。さらに、これ以外にも遮光膜24に開口を設ける必要がある場合には、上記の配線層18Cのように、重ね合わせ部を形成して前記光電変換領域14以外の部分に入射する光を遮光し、イメージセンサ部101における遮光状態を連続することができる。

【0060】次に、本実施形態の固体撮像装置を製造する際には、まず、P型シリコン基板11において、イメージセンサ部101のP型ウェル12および論理回路部106のP型ウェル32A、N型ウェル32Bを形成し〔P型ウェル、N型ウェル形成工程〕、P型シリコン基板11にイメージセンサ部101のゲート SiO_2 膜16、16A、16Bおよび論理回路部106のゲート SiO_2 膜34A、34Bを形成し〔ゲート SiO_2 膜形成工程〕、続いて、これらの SiO_2 膜16、16A、16B、34A、34B上にイメージセンサ部101のリセットゲート17およびゲート17A、17B、論理回路部106のゲート34A、34Bを形成し〔ゲート形成工程〕、イメージセンサ部101のP型領域13、15c、論理回路部106のP⁺型領域33b等を形成し〔P⁺型領域形成工程〕、イメージセンサ部101の光電変換領域14、リセットドレイン領域15、N⁺型領域15A、15B、および、論理回路部106のN⁺型領域33A等を形成する〔N⁺型領域形成工程〕。

【0061】〔第1金属層形成工程〕次に、必要に応じて層間絶縁膜を形成した後、開口部23'を有しイメージセンサ部101を覆う遮光膜24と、この遮光膜24と同一高さに位置する論理回路部106の配線層35A、35Bを所定のパターンとして光電変換領域14からの高さが L' の位置に形成する。

【0062】〔第2金属層形成工程〕続いて、必要に応じて層間絶縁膜を形成し、その後、同一高さに配置されている論理回路部106の配線層36A、36Bおよび、イメージセンサ部101の配線層18A、18B、18Cを所定のパターンとして形成する。

【0063】〔第3金属層形成工程〕その後、必要に応じて層間絶縁膜を形成し、その後、等しい高さに配置される論理回路部106の遮光層20とイメージセンサ部101の配線層19A、19Bとを所定のパターンとして形成する。

【0064】このように、イメージセンサ部101と論理回路部106との両方の領域において、同一高さにあるか、または、同一プロセスにより形成可能な複数の層

を、同一プロセスにより形成して、図1および図2に示した固体撮像装置を製造する。

【0065】本実施形態においては、〔ゲートSiO₂膜形成工程〕におけるイメージセンサ部101のゲートSiO₂膜16、16A、16B、および論理回路部106のゲートSiO₂膜34A、34B、〔ゲート形成工程〕におけるイメージセンサ部101のリセットゲート17、ゲート17A、17B、および論理回路部106のゲート34A、34B、〔第1金属層形成工程〕におけるイメージセンサ部101の遮光膜24、および論理回路部106の配線層35A、35B、〔第2金属層形成工程〕における論理回路部106の配線層36A、36B、および、イメージセンサ部101の配線層18A、18B、18C、〔第3金属層形成工程〕における論理回路部106の遮光層20、および、イメージセンサ部101の配線層19A、19B、のように、同一高さにあるか、同一プロセスにより形成可能な複数の層を、同一プロセスにより形成している。

【0066】これにより、CPU、メモリ、標準/専用マクロ、アナログ回路、イメージセンサ部などの各種ハードウェア（H/Wインテグレーション）と画像圧縮伸長、音声処理、通信機能などの各種ソフトウェア（S/Wインテグレーション）をひとつのチップ上に融合し、LSI単体が所望とされるシステム/要素機能動作を含んだ半導体であるSOC（システムオンチップ；System on Chip）として製造することを可能としつつ、論理回路等で多用されている標準パラメータによるCMOSプロセスにより、CPU、メモリ、標準/専用マクロ、アナログ回路等を有する論理回路部106、および、イメージセンサ部101を同時に形成することができ、製造コストの削減を図ることができる。

【0067】なお、遮光膜24と遮光層20とが、イメージセンサ部101と前記論理回路部106との境界部分において重ね合わせ部Sを有する構成としているが、これ以外にも、図4に示すように、この境界部分において、平面視して同位置で、つまり、光線入射方向に連続した状態に接続部S'を設けて遮光膜24と遮光層20とを接続することができる。この場合、遮光層20と重なり部24sとを一体として接続することができるため、この境界部分からその下側に光線が入射することをほぼ防止することができる。したがって、イメージセンサ部14と前記論理回路部101との境界部分において遮光状態を連続し、かつ、遮光状態を連続するために設けた重ね合わせ部Sの平面視したその幅、つまり、重なり部24sの幅寸法を低減することができ、イメージセンサ部14と前記論理回路部101との配置間隔を減少して、素子の集積度向上を図ることができる。さらに、イメージセンサ部14と前記論理回路部101との境界部分において、遮光膜24と遮光層20とを重ね合わせ部Sなしに接続する、つまり、どちらかの膜を屈曲状態

または褶曲状態としてこれらを接続することも可能である。

【0068】さらに、遮光膜24が、光電変換領域14までの距離がL'に設定されるように、複数の配線層18A、18B、18C、19A、19B、19Cよりも光電変換領域14側に位置して設けられているが、これ以外にも、遮光膜24を、図5に示すように、配線層18A、18B、18Cの上側、配線層19A、19B、19Cの下側に位置することも可能である。この場合には、配線層18A、18B、18Cを第1金属層として同一高さに位置する配線層35A、35Bと同一工程により形成し、遮光膜24を第2金属層として同一高さに配置されている配線層36A、36Bと同一工程により形成することが可能であり、上記と略同等の効果を奏することができる。

【0069】この場合にも、図6に示すように、遮光膜24と遮光層20との境界部分において、平面視して同位置で、つまり、光線入射方向に連続した状態に接続部S'を設けて遮光膜24と遮光層20とを接続することができる。これにより、遮光層20と重なり部24sとを一体として接続することができるため、この境界部分からその下側に光線が入射することをほぼ防止することができる。したがって、イメージセンサ部14と前記論理回路部101との境界部分において遮光状態を連続し、かつ、遮光状態を連続するために設けた重ね合わせ部Sの平面視したその幅、つまり、重なり部24sの幅寸法を低減することができ、イメージセンサ部14と前記論理回路部101との配置間隔を減少して、素子の集積度向上を図ることができる。

【0070】また、遮光膜24を、これら配線層18A、18B、18C、19A、19B、19Cのうち選択された1つもしくは複数のものと一体に構成することも可能である。

【0071】さらに、図3に示したように、遮光膜24に開口40を設ける必要がある際には、その開口を、遮光膜24よりも上側にある配線層18A、18B、19A、19B、19C、または、遮光膜24の下側に位置するリセットゲート17、ゲート17A、17B等から適宜選択した1つまたは複数のものによって、遮光状態が連続するよう重ね合わせ部を形成して遮光する構造とすることができる。

【0072】以下、本発明に係る固体撮像装置の第2実施形態を、図面に基づいて説明する。図7は、本実施形態の固体撮像装置を示す模式側断面図である。本実施形態において、図1ないし図2に示した第1実施形態と異なる点は、遮光膜およびイメージセンサ部における配線層に関する点であり、図1ないし図6に示した第1実施形態と概略等しい構成要素には同一の符号を付ける。

【0073】本実施形態における固体撮像装置は、図7に示すように、遮光膜は、遮光層20よりも前記半導体

基板11に近づいた位置に設けられ、かつ、複数の部分24A、24Bからなるものとされる。

【0074】遮光膜24A、24Bは、互いに異なる高さ位置に設けられ、これらの境界部分には、重ね合わせ部Sが設けられている。この重ね合わせ部Sにおいては、これらの層間に進入する光が半導体基板11側に到達しないように、遮光膜24Aと遮光膜24Bとを平面視して重ねる構成とされている。このため、遮光膜24Aと遮光膜24Bとの境界部分において、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101における遮光状態を連続することができる。

【0075】遮光膜24Aは、イメージセンサ部101の配線層18A、18B、論理回路部106の配線層36A、36Bと同一高さに設けられるとともに、前記遮光層20との境界部分を有するものとされ、この境界部分には重ね合わせ部Sが設けられる。この重ね合わせ部Sにおいては、これらの層間に進入する光が半導体基板11側に到達しないように、遮光膜24Aと遮光層20とを平面視して重ねる構成とされている。このため、遮光膜24Aと遮光層20との境界部分において、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101および論理回路部106における遮光状態を連続することができる。

【0076】遮光膜24Bは、遮光膜24Aより下側に位置し、イメージセンサ部101の配線層18C、論理回路部106の配線層35A、35Bと同一高さに設けられるとともに、前記光電変換領域に対する光線入射領域を規定する開口部23'を有するものとされる。

【0077】これらは、遮光膜24Bが、イメージセンサ部101の配線層18C、および論理回路部106の配線層35A、35Bと同一高さに位置し、遮光膜24Aが、論理回路部106の配線層36A、36B、および、イメージセンサ部101の配線層18A、18Bと同一高さに位置する。したがって、第1実施形態のように〔第1金属層形成工程〕としての、イメージセンサ部101の遮光膜24B、配線層18C、および論理回路部106の配線層35A、35B、〔第2金属層形成工程〕としての、論理回路部106の配線層36A、36B、および、イメージセンサ部101の遮光膜24A、配線層18A、18B、のように、同一高さにあるか、同一プロセスにより形成可能な複数の層を、同一プロセスにより形成することができる。

【0078】また、本実施形態においては、第1実施形態と同様の効果を奏するとともに、前記複数の遮光膜24A、24Bが、前記遮光層20との境界部分を有する部分24Aと、これより下側に位置し前記光電変換領域14に対する光線入射領域を規定する部分24Bとを有している。これにより、前記遮光層20との境界部分においては、第1実施形態より前記遮光層20に近づいた

位置に遮光膜24Aを設けることができる。また、前記光電変換領域14に対する光線入射領域を規定する部分においては、第2実施形態より前記光電変換領域14に近づいた位置に遮光膜を設けることができる。したがって、これら双方の部分24A、24Bにおいて、遮光膜24Aと前記遮光層20との距離、および、遮光膜24Bと光電変換領域14との距離間隔を同時に減少して、光電変換領域14以外の部分に入射する可能性をより低減することが可能となる。その結果、生じる偽信号をさらに低減することが可能となるとともに、この偽信号が隣接する他の光電変換領域あるいは出力回路等の拡散層などにトラップされ、映像信号のS/N比が劣化することをより一層防止することが可能となる。

【0079】なお、図8に示すように、各境界部分において、平面視して同位置で、つまり、光線入射方向に連続した状態に接続部S'を設けて遮光膜24Aと遮光膜24B、遮光膜24Bと遮光層20とのそれぞれを接続することができる。この場合、遮光膜24Aと遮光膜24B、または、遮光膜24Bと遮光層20とを一体として接続することができるため、この境界部分からその下側に光線が入射することをほぼ防止することができる。したがって、イメージセンサ部14と前記論理回路部101との境界部分、および、遮光膜24Aと遮光膜24Bとの境界部分において遮光状態を連続し、かつ、遮光状態を連続するために設けた重ね合わせ部Sの平面視したその幅、つまり、重なり部の幅寸法を低減することができる。このため、イメージセンサ部14と前記論理回路部101との配置間隔を減少して、素子の集積度向上を図ることができる。また、遮光膜24Aと遮光膜24Bとの境界部分の位置を適宜設定することにより、素子設計における自由度を向上することができる。さらに、イメージセンサ部14と前記論理回路部101との境界部分において、遮光膜24と遮光層20とを重ね合わせ部Sなしに接続する、つまり、どちらかの膜を屈曲状態または褶曲状態としてこれらを接続することも可能である。

【0080】本実施形態においては、遮光膜を2つの部分24A、24Bからなる構成としたが、遮光状態を連続できる構成であれば、これ以外にも、3層以上の複数の層に遮光膜を分割した構成が可能である。ここで、イメージセンサ部101と論理回路部106との境界部分から光電変換領域14側に向けて、複数の遮光膜の高さ位置が低くなるように設定されることが望ましく、この構成であると、光電変換領域14への入射光の入射位置をより正確に設定するとともに、イメージセンサ部101と論理回路部106との境界部分での遮光状態をより確実にすることができる。

【0081】以下、本発明に係る固体撮像装置の第3実施形態を、図面に基づいて説明する。図9は、本実施形態の固体撮像装置を示す模式側断面図である。図におい

て、符号20A、20B、20Cは本実施形態の遮光層、20Dはカラーフィルタである。

【0082】本実施形態において、図1ないし図8に示した第1、2実施形態と異なる点は、遮光層20に関する点である。

【0083】本実施形態においては、論理回路部106の最上層に位置する遮光層20が、図9に示すように、それぞれ論理回路部106の全体を覆うようにして積層された複数層20A、20B、20Cからなり、これらの遮光層20A、20B、20Cが、絶縁性を有し、かつ、光透過性が低いか光吸収性が高く充分な遮光性を有するものからなる構成としている。ここで、前記遮光層20A、20B、20Cが、光透過性が低いか光吸収性が高く充分な遮光性を有するものからなることが好ましく、ゼラチン、カゼイン等の有機材料とすることができ、光透過性を有する材料に顔料等を混入して光透過性を低下あるいは透過する光の波長を限定したものとすることができる。

【0084】これら遮光層20A、20B、20Cは、光透過性を有する材料からなるものとされ、それぞれが、染色法、顔料分散法（フォトリソ法）等を利用することにより、赤（R）色に対応したカラーフィルタとなる遮光層20Aと、緑（G）色に対応したカラーフィルタとなる遮光層20Bと、青（B）色に対応したカラーフィルタとなる遮光層20Cとされている。

【0085】ここで、赤（R）色に対応したカラーフィルタとは、赤（R）色に対応した波長を選択的に透過し、それ以外の波長の光を透過しないものとされる。遮光層20は、これら遮光層20A、20B、20Cをそれぞれ重ね合わせて、論理回路部106全面に積層することにより、論理回路部106への遮光をおこなう構成とされる。

【0086】また、遮光膜24と遮光層20との境界部分においては、図9に示すように、遮光状態を連続するために重ね合わせ部Sが設けられている。この重ね合わせ部Sにおいては、これらの層間に進入する光が半導体基板11側に到達しないように、遮光膜24と遮光層20とを平面視して重ねる構成とされている。このため、遮光膜24と遮光層20との境界部分において、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101および論理回路部106における遮光状態を連続することができる。

【0087】ここで、イメージセンサ部101においては、光電変換領域14への入射位置に、染色法、顔料分散法（フォトリソ法）等を利用することにより、透過性を有し、かつ、隣り合う3つの各基本セルごとに赤青緑（RGB）の三原色に対応したカラーフィルタ20Dが設けられている。図においては、赤（R）色に対応したカラーフィルタ20Dが記載されている。

【0088】本実施形態においては、光電変換領域14

部分の隣り合う3つの各基本セルごとに赤青緑（RGB）の三原色に対応したカラーフィルタ20Dと、赤緑青（RGB）の三原色に対応したカラーフィルタとされる前記遮光層20A、20B、20Cを、それぞれ同一のプロセスで形成することができ、製造工程を削減し、製造コストの削減を図ることが可能である。さらに、絶縁性を有する遮光層20を設けたことにより、論理回路部106において、導電性を有する遮光層を設けた場合に比べて、各配線層や拡散領域と遮光層との間の結合容量を低減することができ、遮光層を設けない場合の動作性能を維持することが可能となる。

【0089】また、この遮光層20を論理回路部106の最上層側に設けかつイメージセンサ部101側に延長することにより、重ね合わせ部Sを拡大して遮光性を向上することが可能となる。同時にまた、遮光膜24と遮光層20との境界部分の位置設定の自由度が向上することにより、素子設計における自由度を向上することができ、かつ、光の回折効果により光電変換領域14の周辺部に入射する光量を低減し回折光による光電変換で発生する偽信号の発生を低減した状態において、イメージセンサ部14と前記論理回路部101との配置間隔を減少して、素子の集積度向上を図ることができる。

【0090】さらに、本実施形態においては、図10に示すように、例えば、イメージセンサ部101における、第1金属層としての配線層18A、18B、18C、第2金属層としての遮光膜24、および、論理回路部106における、第1金属層としての配線層35A、35B、第2金属層としての配線層36A、36Bからなる構成とすることができる。つまり、イメージセンサ部101および論理回路部106において、第3金属層なしに、第1金属層および第2金属層のみからなる構成とすることができる。このように、遮光膜20を金属層で形成しないことにより、金属層の層数を削減し、製造工程を削減し、製造コストの削減を図ることや、素子設計における自由度を向上することができる。

【0091】本実施形態においても、第2実施形態と同様に、遮光膜24を複数層とする構成が可能である。

【0092】以下、本発明に係る固体撮像装置の第4実施形態を、図面に基づいて説明する。図11は、本実施形態の固体撮像装置を示す模式側断面図である。図において、符号20Eは本実施形態の遮光層である。

【0093】本実施形態において、図9ないし図10に示した第3実施形態と異なる点は、単層からなる遮光層20Eが、図11に示すように、論理回路部106の全体を覆うようにして積層された点である。

【0094】ここで、遮光層20Eは、絶縁性を有し、かつ、光透過性が低いか光吸収性が高く充分な遮光性を有するものとされることが好ましく、ここでは、染色法、顔料分散法（フォトリソ法）等を利用することにより、光透過性を有する材料に顔料等を混入して光透過性

を低下した黒色に対応したブラックフィルタとされている。

【0095】また、遮光膜24と遮光層20Eとの境界部分においては、図11に示すように、遮光状態を連続するために重ね合わせ部Sが設けられている。この重ね合わせ部Sにおいては、これらの層間に進入する光が半導体基板11側に到達しないように、遮光膜24と遮光層20Eとを平面視して重ねる構成とされている。このため、遮光膜24と遮光層20Eとの境界部分において、前記光電変換領域14以外の部分に入射する光を遮光して、イメージセンサ部101および論理回路部106における遮光状態を連続することができる。

【0096】ここで、イメージセンサ部101においては、光電変換領域14への入射位置に、染色法、顔料分散法（フォトリソ法）等を利用することにより、透過性を有し、かつ、隣り合う3つの各基本セルごとに赤青緑（RGB）の三原色に対応したカラーフィルタ20Dが設けられている。図においては、赤（R）色に対応したカラーフィルタ20Dが記載されている。そして、このカラーフィルタ20Dの周囲位置には、このカラーフィルタ20Dの輪郭を規定する黒色に対応したブラックフィルタ20Fが設けられている。

【0097】本実施形態においては、カラーフィルタ20D周囲のブラックフィルタ20Fと、黒色に対応したブラックフィルタとされる遮光層20Eを、それぞれ同一のプロセスで形成することができ、製造コストの削減を図ることが可能であり、第3実施形態と同一の効果を奏することができる。

【0098】なお、遮光膜24と遮光層20、20Eとの境界部分において、平面視して同位置で、つまり、光線入射方向に連続した状態に接続部を設けて遮光膜24と遮光層20とを接続することができる。この場合、この境界部分からその下側に光線が入射することをほぼ防止することができる。この接続部は、遮光膜24と同様に金属等として形成することや、または、遮光層20Eと同様に絶縁体として設けることが可能である。

【0099】上述の各実施形態においては、CMOSセンサとして説明したが、本発明はCCDセンサにも適用することが可能である。

【0100】

【発明の効果】本発明の固体撮像装置によれば、以下の効果を奏する。本発明の固体撮像装置においては、遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられ、光線入射方向における前記遮光層と前記光電変換領域との中間に位置することにより遮光膜から光電変換領域までの距離を短縮することができ、入射光の回折等による回り込みを低減することができるため、光電変換領域の周辺部に入射する可能性を低減してその結果生じる偽信号を低減することが可能となるとともに、この偽信号が隣接する他の光電変換領域あるいは出力回

路の拡散層等にトラップされ、映像信号のS/N比が劣化することを防止することが可能となる。

【0101】あるいは、本発明の固体撮像装置において、遮光膜が、前記遮光層よりも前記半導体基板に近づいた位置に設けられ、光線入射方向における前記遮光層と前記光電変換領域との中間に位置して、遮光膜から光電変換領域までの距離を短縮することにより、入射光の回折等による回り込みを低減することができるため、同一の光電変換領域に対する入射領域を増大することが可能となり、その結果、入射光量を増大することが可能となり、光電変換の感度を向上することができ、固体撮像装置の感度を向上することができる。

【0102】この際、論理回路部との位置関係を考慮して、前記遮光膜が、前記光電変換部を覆うとともに、前記光電変換部と前記論理回路部との境界部分、および、複数の各遮光膜の境界部分で、連続して接続されるか、平面視して重ね合わせられる重ね合わせ部を有して遮光状態を連続するよう設けられることにより、論理回路部（CMOS回路部）における根本的な設計変更をおこなわずに、半導体基板上に光電変換部（イメージセンサ部）と論理回路部（CMOS回路部）とを同一プロセスにより形成することが可能となる。これにより、光入射領域を規定する際における規定状態および配線層等の配置状態における可変性を向上することができ、光入射領域を規定した部分から光電変換領域までの距離を効果的に短縮することができ、同一プロセスにより製造されるべき論理回路部における配線層等の選択肢を増加することができる。

【0103】本発明が、CPU、メモリ、標準／専用マクロ、アナログ回路、イメージセンサ部などの各種ハードウェア（H/Wインテグレーション）と画像圧縮伸長、音声処理、通信機能などの各種ソフトウェア（S/Wインテグレーション）をひとつのチップ上に融合し、LSI単体が所望とされるシステム／要素機能動作を含んだ半導体であるSOC（システムオンチップ；System on Chip）として製造されることにより、プロセッサ、DRAM等の半導体メモリ、論理回路等で多用されている標準パラメータによるCMOSプロセスにより、CPU、メモリ、標準／専用マクロ、アナログ回路、イメージセンサ部などを同時に形成してしまいうことができる。

【0104】本発明の固体撮像装置においては、遮光膜の遮光状態を連続するために、光電変換部における金属またはポリシリコンからなる配線層と、前記遮光膜との一部には、平面視して重ね合わせられる重ね合わせ部が設けられることができる。これにより、光電変換部の遮光状態を連続することが可能になり、遮光膜の配置の自由度が増し、素子設計の自由度向上を図ることができ、製造コストの低減を図ることができる。

【0105】また、本発明の前記複数の遮光膜が、前記遮光層との境界部分を有する部分と、これより下側に位

置し前記光電変換領域に対する光線入射領域を規定する部分と、を有することにより、前記遮光層との境界部分においては、より前記遮光層に近づいた位置に遮光膜を設けることができ、また、前記光電変換領域に対する光線入射領域を規定する部分においては、より前記光電変換領域に近づいた位置に遮光膜を設けることができ、これら双方の部分において、遮光膜と前記遮光層との距離、および、遮光膜と光電変換領域との間隔を減少して、光電変換領域以外の部分に入射する可能性を低減してその結果生じる偽信号を低減することが可能となるとともに、この偽信号が隣接する他の光電変換領域あるいは出力回路等の拡散層などにトラップされ、映像信号のS/N比が劣化することを防止することが可能となる。

【0106】また、遮光層を光透過性が低いか光吸収性が高く十分な遮光性を有する単層あるいは複数層から構成し、この遮光層を論理回路部の最上層側に設けかつ光電変換部側に延長することにより、光電変換部と論理回路部との境界部分における重ね合わせ部を拡大して、遮光性を向上することが可能となる。また、遮光層を光透過性を有する材料に顔料等を混入して光透過性を低下したものとし、これを、光電変換領域に対応する位置に設けられるフィルタ（カラーフィルタ、ブラックフィルタ）と同一プロセスにより製造することにより、製造工程を削減し、プロセス的な負荷の低減を図り、製造コストの削減を図ることが可能である。

【図面の簡単な説明】

【図1】 本発明に係る固体撮像装置の第1実施形態を示す側断面図である。

【図2】 図1における光電変換領域および遮光膜を示す模式拡大側断面図である。

【図3】 図1における遮光膜およびその開口を示す模式拡大側断面図である。

【図4】 本発明に係る固体撮像装置の第1実施形態における接続部を設けた状態を示す側断面図である。

【図5】 本発明に係る固体撮像装置の第1実施形態における遮光層の位置の異なる状態を示す側断面図である。

【図6】 図5における接続部を設けた状態を示す側断

面図である。

【図7】 本発明に係る固体撮像装置の第2実施形態を示す側断面図である。

【図8】 本発明に係る固体撮像装置の第2実施形態における接続部を設けた状態を示す側断面図である。

【図9】 本発明に係る固体撮像装置の第3実施形態を示す側断面図である。

【図10】 本発明に係る固体撮像装置の第3実施形態における配線層の配置が異なる状態を示す側断面図である。

【図11】 本発明に係る固体撮像装置の第4実施形態を示す側断面図である。

【図12】 固体撮像装置におけるイメージセンサ部と論理回路部との配置を示す平面図である。

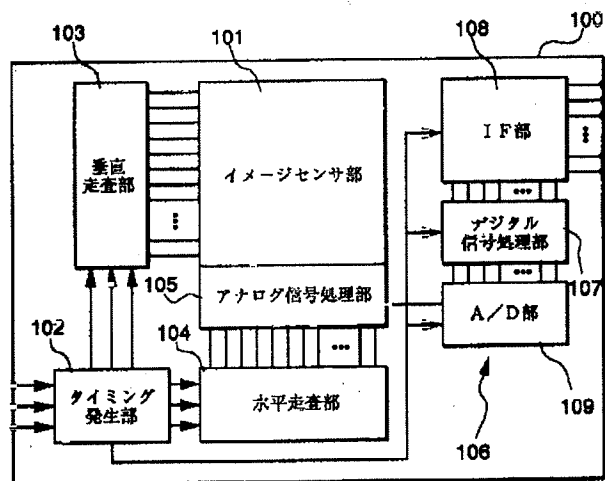
【図13】 固体撮像装置の一例を示す模式側断面図である。

【図14】 固体撮像装置を示す模式側断面図(a)および動作状態における電位を示す図(b)(c)である。

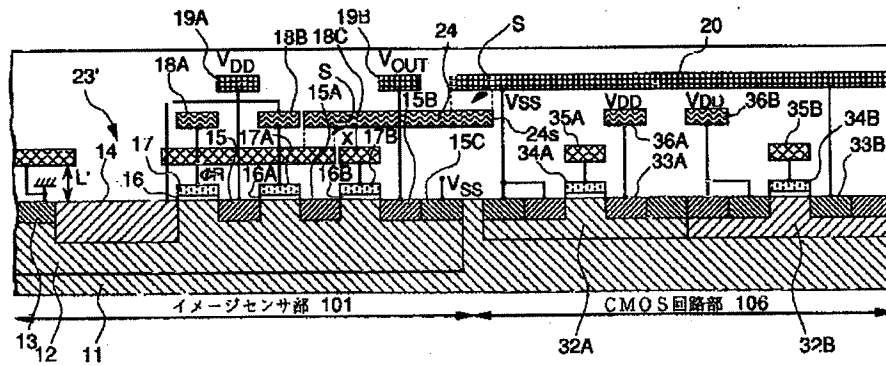
【図15】 固体撮像装置の一例を示す模式側断面図である。

【符号の説明】

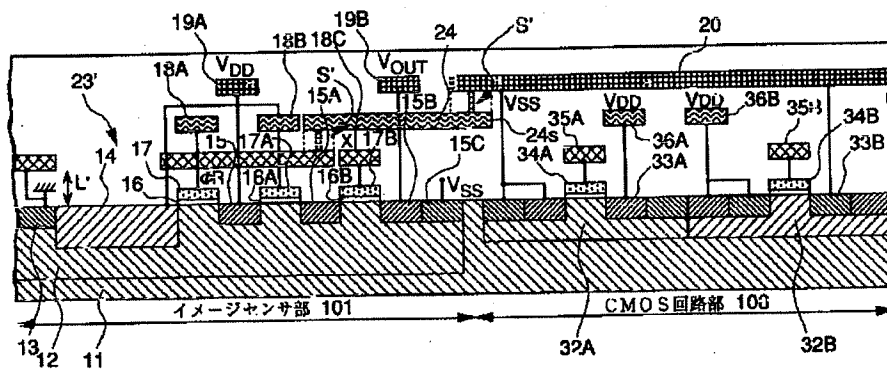
S…重ね合わせ部、S'…接続部、10…固体撮像装置(CMOSセンサ)、11…P型シリコン基板(半導体基板)、12…P型ウェル、14…N型領域(光電変換領域)、16、16A、16B…ゲートSiO₂膜、17…リセットゲート、17A、17B、34A、34B…ゲート、15…リセットドレイン領域(N⁺型領域)、15A、15B、33A…N⁺型領域、15C、33B…P型領域、20、20A、20B、20C、20E…遮光層、20D…カラーフィルタ、20F…ブラックフィルタ、23、23'…開口部、40…開口、41、42、43…配線、18A…リセットゲート配線層(配線層)、18B、18C、19B、35A、35B、36A、36B…配線層、24…遮光膜、100…CMOSセンサ、101…イメージセンサ部(光電変換部)、106…論理回路部(CMOS回路部)



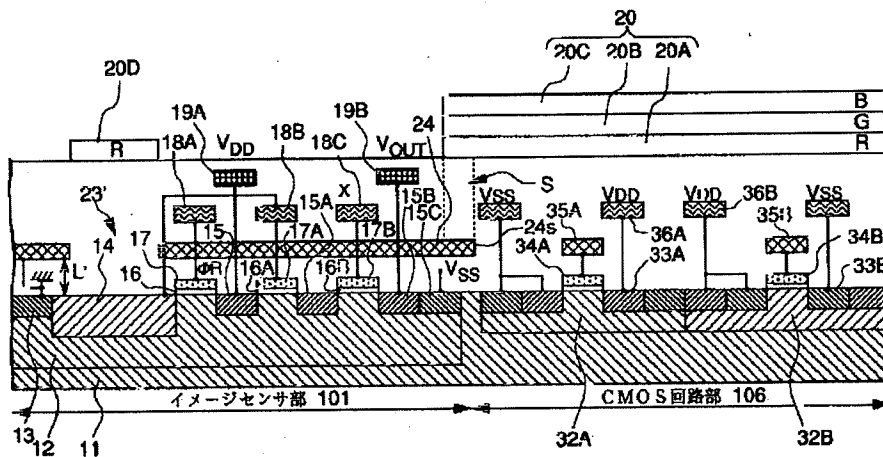
【図7】



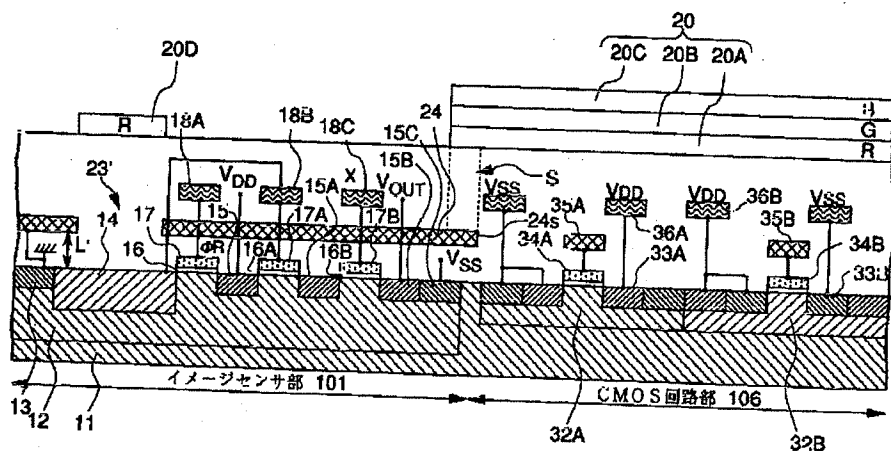
【図8】



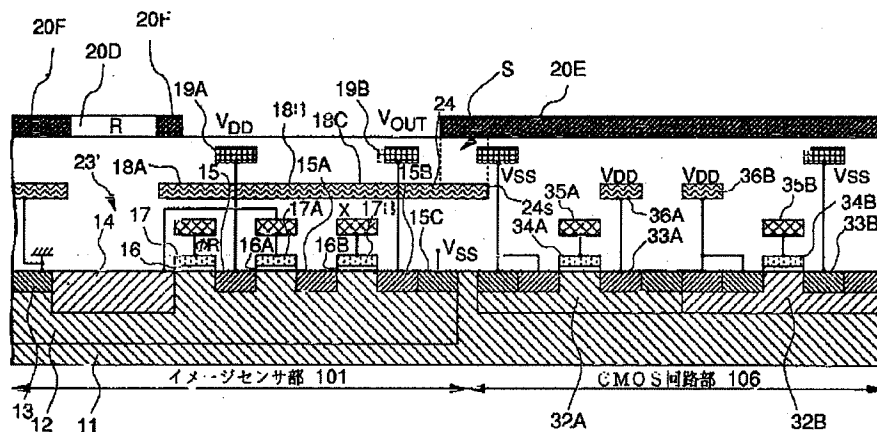
【図9】



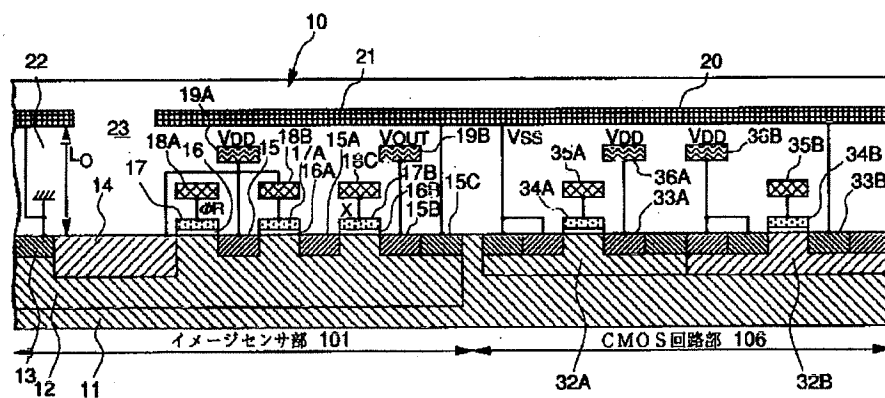
【図 10】



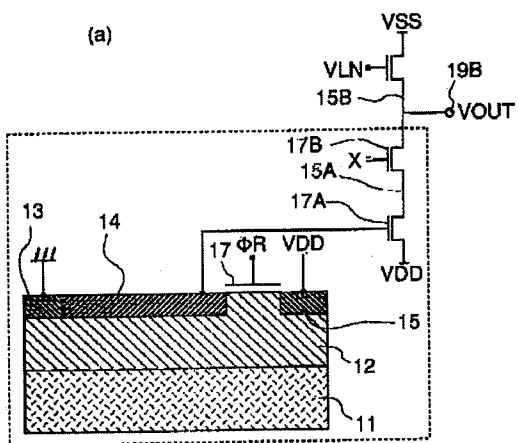
【図 1 1】



【图 13】



【図14】



【图 15】

